



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0035281  
Application Number

출원년월일 : 2003년 06월 02일  
Date of Application JUN 02, 2003

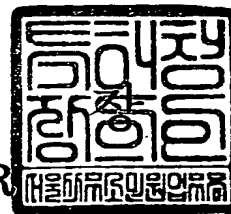
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2003.06.02  
**【발명의 명칭】** 반도체소자 제조 방법  
**【발명의 영문명칭】** METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2  
**【발명자】**  
**【성명의 국문표기】** 김유창  
**【성명의 영문표기】** KIM, Yu Chang  
**【주민등록번호】** 680328-1951036  
**【우편번호】** 361-271  
**【주소】** 충청북도 청주시 흥덕구 복대1동 3029 현대2차아파트 206-1507  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 박수영  
**【성명의 영문표기】** PARK, Soo Young  
**【주민등록번호】** 701225-1163216  
**【우편번호】** 467-110  
**【주소】** 경기도 이천시 증포동 대림휴먼빌 101-1210  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	11	면	11,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	661,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 도전패턴의 하드마스크의 두께를 감소시켜 절연막의 갭-필 특성을 향상시킬 수 있으며, 80nm 이하의 반도체 제조 공정 중 도전패턴 사이의 전도층을 노출시키는 콘택 형성 공정에서 콘택 면적을 최대한 확보하면서도 도전패턴의 기생 정전용량을 줄일 수 있는 반도체 소자 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 절연 및 도전 구조를 갖는 기판 상에 전도막과 질화막 및 폴리실리콘막을 차례로 증착하는 단계; 상기 폴리실리콘막과 상기 질화막 및 상기 전도막을 선택적으로 식각하여 폴리실리콘막과 질화막으로 이루어진 2중 구조의 하드마스크와 상기 전도막이 적층된 복수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 전면에 절연막을 형성하는 단계; 상기 절연막 상에 상기 도전패턴과 교차하는 방향으로 배열된 라인 타입의 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스터 패턴을 식각마스크로 상기 절연막을 식각하여 이웃하는 상기 도전패턴 사이의 상기 도전 구조를 노출시키는 콘택홀을 형성하는 단계; 상기 노출된 도전 구조에 콘택되도록 플러그 형성용 물질막을 증착하는 단계; 및 상기 질화막 하드마스크가 노출되도록 상기 플러그용 물질막과 상기 절연막 및 상기 폴리실리콘 하드마스크를 제거하여 상기 질화막 하드마스크와 실질적으로 평탄화된 플러그를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

**【대표도】**

도 2e

【색인어】

2중 구조의 하드마스크, 폴리실리콘, 질화막, 비트라인, 스토리지노드 콘택.

【명세서】

【발명의 명칭】

반도체소자 제조 방법 {METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1f는 종래기술에 따른 스토리지노드 콘택 형성 공정을 도시한 사시도.

도 2a 내지 도 2f는 본 발명의 일실시예에 따른 스토리지노드 콘택 형성 공정을 도시한 사시도.

\* 도면의 주요부분에 대한 부호의 설명 \*

20 : 기판            21, 29 : 플러그

22 : 전도막            23 : 절화막

24 : 폴리실리콘막    25 : 절연막

27 : 콘택홀

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체소자 제조방법에 관한 것으로 특히, 스토리지노드 콘택(Storage node contact) 오픈을 위한 공정시 콘택 면적을 증대시키고, 비트라인 하드마스크의 손실을 방지할 수 있는 반도체소자 제조 방법에 관한 것이다.
- <9> 반도체소자의 고집적화 및 고성능화를 위한 노력이 다각적으로 강구되어지고 있는 바, 그 중에서도 콘택 형성에 따른 콘택 영역(Contact area)의 확보는 반도체소자의 고집적화를 위해 확보되어야 할 필수적인 기술 중 하나이다.
- <10> 일반적으로, 스토리지노드 콘택 형성 공정은 크게 콘택 타입(Contact type)과 라인 타입(Line type)으로 구별되는데, 이의 구분 기준은 스토리지노드 콘택 마스크의 모양에 따른 것이다.
- <11> 공정 단순화 측면에서는 콘택 타입의 스토리지노드 콘택 형성 공정이 유리하나, 오정렬(Misalignment)과 연관된 콘택 영역의 확보 측면에서는 라인 타입의 스토리지노드 콘택 형성 공정이 유리하다.
- <12> 보통 라인 타입의 스토리지노드 콘택 형성 공정은 콘택 타입에 비해 공정이 복잡하고 식각 공정(Etch process)이 상대적으로 어렵다. 특히, 라인 타입의 스토리지노드 콘택 식각 공정에서의 비트라인 하드마스크(Bitline hardmask)의 손실(Loss)이 크게 발생하는 바, 이로 인해 비트라인 하드마스크의 두께를 증가시켜야 하고 또한, 이로 인해 증가된 비트라인 하드마스크

의 두께 만큼 중횡비가 증가되어 비트라인 형성 후 절연막을 증착하는 공정에서 갭-필 (Gap-fill) 불량을 유발하게 된다.

<13> 또한, 반도체 칩의 축소화(Shrinkage)에 따른 전체적인 패턴 사이즈의 감소에 의해 비트라인 간의 간격(Spacing)이 감소하게 되면, 라인 타입의 스토리지노드 콘택 식각 공정시 비트라인 하드마스크의 손실도 아울러 증가하게 되어 비트라인 하드마스크의 두께는 계속 증가해야 한다.

<14> 따라서, 라인 타입의 식각 공정에서 층간절연막(즉, 산화막 계열의 물질막)에 대한 식각 선택비(Selectivity)가 큰 식각 공정을 개발하거나, 하드마스크 재료로 사용되는 질화막 계열의 물질에 비해 산화막 계열에 대한 식각선택비가 큰 절연 물질을 사용해야 하는 문제점이 있다.

<15> 참고로, 80nm 이하의 선폭을 갖는 반도체 제조 공정 기술에서는 전술한 문제점 때문에 라인 타입의 스토리지노드 콘택 공정에 대한 새로운 개념의 도입을 하지 않고는 현재의 식각 공정 능력으로는 스토리지노드 콘택 형성 공정 자체가 거의 불가능한 실정이다.

<16> 도 1a 내지 도 1f는 종래기술에 따른 스토리지노드 콘택 형성 공정을 도시한 사시도로서, 이를 참조하여 종래의 문제점을 상세히 살펴 본다.

<17> 먼저, 트랜지스터 등 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(10)에 하부의 전도층(예컨대, 소스/드레인 접합)에 콘택된 플러그(11)를 형성한 후, 전면에 기판(10) 하부의 다른 전도층에 전기적으로 연결된 복수의 비트라인을 형성하는 공정을 실시한다.

<18> 즉, 기판(10) 상에 비트라인용 전도막과 하드마스크용 절연막을 적층하고, 선택적으로 패터닝하여 복수의 비트라인을 형성한다.



- <19> 도 1a에 도시된 도면부호 '12'는 비트라인용 전도막을 나타내는 것으로, 주로 텅스텐(W), 티타늄 나이트라이드(TiN), 텅스텐 실리사이드(WSix), 폴리실리콘, 티타늄(Ti) 등이 단독 또는 적층된 것을 사용한다.
- <20> 또한, 하드마스크용 절연막(13)은 질화막을 주로 사용하는 바, 실리콘질화막 또는 실리콘산화질화막 등이 주로 사용된다.
- <21> 하드마스크용 절연막(13)은 후속 스토리지노드 콘택 형성 공정에서 산화막 계열의 절연막과의 식각선택비를 갖도록 함과 동시에 식각 공정에서 비트라인용 전도막(12)의 손실을 방지하기 위한 것으로 통상 3000 Å 이하의 비교적 두꺼운 두께로 형성한다.
- <22> 따라서, 도 1a에서는 비트라인용 전도막(12)과 하드마스크용 절연막(13)이 적층된 구조의 비트라인(B/L)이 형성되어 있고, 이웃하는 비트라인(B/L) 사이의 기판(10)에는 플러그(11)가 형성되어 있음을 알 수 있다.
- <23> 한편, 도면에 도시되지는 않았지만, 플러그(11) 상부에는 후속 스토리지노드 콘택 형성을 위한 식각 공정에서 플러그(11)가 어택되는 것을 방지하기 위해 질화막 계열의 식각정지막을 형성하나, 도면의 간략화를 위해 생략하였다.
- <24> 이어서, 도 1b에 도시된 바와 같이, 비트라인(B/L)이 형성된 전면에 산화막 계열의 절연막(14, 일명 비트라인 절연막이라 함)을 증착한 다음, 그 상부를 평탄화하는 공정을 실시한다.
- <25> 절연막(14)으로는 갭-필 특성이 우수한 APL(Advanced Planarization)막 또는 SOG(Spin On Glass)막 등이 주로 사용된다.

- <26> 한편, 전술한 바와 같이 하드마스크용 절연막(13)의 두께가 증가하고 또한, 선폭은 감소하게 됨에 따라 비트라인 사이의 간격은 좁아지게 되어 절연막(14) 증착시 갭-필 특성이 열화되는 문제점이 발생한다.
- <27> 다음으로, 도 1c에 도시된 바와 같이, 절연막(14) 상에 포토레지스트를 도포하고 KrF(불화크롬) 또는 ArF(불화아르곤) 노광원을 이용한 노광 공정을 포함한 포토리소그래피(Photo lithography) 공정을 실시하여 스토리지노드 콘택용 오픈부를 형성하기 위한 포토레지스트 패턴(15)을 형성한다.
- <28> 포토레지스트 패턴(15) 하부에는 반사방지막(도시하지 않음)이 사용될 수 있으며, 이 때 반사방지막으로는 유기(Organic)계열이 주로 사용된다.
- <29> 도 1c에서는 비트라인과 교차하는 방향으로 라인 형상을 갖는 라인 타입의 포토레지스트 패턴(15)이 형성되어 있음을 확인할 수 있다.
- <30> 이어서, 도 1d에 도시된 바와 같이, 포토레지스트 패턴(15)을 식각마스크로 절연막(14)을 선택적으로 식각하여 비트라인 사이의 플러그(11)를 노출시키는 콘택홀(16)을 형성한다.
- <31> 이하, 콘택홀(16) 형성 공정을 보다 구체적으로 살펴본다.
- <32> 먼저, 포토레지스트 패턴(15)을 식각마스크로 반사방지막과 절연막(14)의 일부를 식각하여 콘택홀 패턴 영역을 정의한 다음, 연속해서 자기정렬콘택(Self Align Contact; 이하 SAC이라 함) 식각시의 레시피(Recipe)를 적용하여 절연막(14)을 식각하여 플러그(11) 상부의 식각정지막을 노출시키는 콘택홀(16)을 형성한 다음, 잔류하는 포토레지스트 패턴(15)과 반사방지막을 제거한다. 이어서, 식각정지막을 제거함으로써 플러그(11)가 노출되도록 한다.

- <33> 한편, 종횡비(Aspect ratio)의 증가에 따른 SAC 식각 공정의 부담이 가중됨에 따라 도면에 도시된 'X' 와 같이 하드마스크용 절연막(13)의 손실로 인한 두께 감소가 발생한다.
- <34> 도 1e에 도시된 바와 같이, 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열의 물질막을 증착한 다음, 전면식각을 실시하여 비트라인 측벽에 스페이서(17)를 형성한다.
- <35> 스페이서(17)는 후속 공정에서의 비트라인의 어택을 방지하고, 스토리지노드 콘택용 플러그와 비트라인과의 절연성을 확보하기 위한 것으로 질화막 계열을 주로 사용하며, 질화막은 산화막에 비해 유전상수가 크기 때문에 스페이서(17)로 인한 비트라인의 기생 용량(Parastic capacitance)의 증가 또한 하나의 문제점이 된다.
- <36> 여기서는 콘택홀(16) 형성 후 스페이서용 물질막을 증착하고 전면식각을 통해 형성하는 것을 그 예로 하였으나, 통상의 경우에는 비트라인 패터닝 공정 직후 비트라인 패턴이 형성된 프로파일을 따라 스페이서용 물질막(질화막 계열)을 증착한 다음, 콘택홀(16) 형성 공정에서 식각정지막의 역할을 하도록 하며, 이 때 식각되어 비트라인 측벽에 스페이서 형상으로 남도록 한다.
- <37> 도 1f에 도시된 바와 같이, 콘택홀(16)을 충분히 매립할 정도로 전도성 물질을 증착한 다음, 하드마스크용 절연막(13)이 노출될 때까지 평탄화 공정을 실시하여 비트라인 사이의 플러그(11)에 콘택된 스토리지노드 콘택용 플러그(18)를 형성한다.
- <38> 평탄화 공정은 도면에 도시된 바와 같이, 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정을 적용하거나, ACE(Advanced Chemical Etching) 공정을 적용하거나, 국부적인 전면식각 공정을 적용할 수 있다.
- <39> 플러그(18)용 전도성 물질은 폴리실리콘과 TiN 등의 단독 또는 조합된 형태를 사용한다.

- <40> 따라서, 비트라인 하드마스크(비트라인 뿐만이 아닌 그 상부에 하드마스크를 갖는 모든 도전패턴의 하드마스크)의 두께를 낮추어 절연막의 갭-필 특성을 향상시키면서도, SAC 식각 공정에 따른 비트라인의 어택을 효과적으로 방지할 수 있으며, 아울러, 80nm 이하의 선폭을 갖는 공정에서도 콘택 개구부의 면적을 최대로 확보할 수 있는 공정 기술이 필요한 실정이다.
- <41> 한편, 이러한 문제점을 극복하기 위해 텅스텐/질화막의 2중 구조의 하드마스크를 사용하였다.
- <42> 이 경우에는 도전패턴 형성을 위한 식각 공정을 진행하면 하드마스크로 사용되는 질화막 상부에 존재하는 텅스텐 등의 전도성 하드마스크는 제거되고 질화막 하드마스크는 일정 두께(예컨대, 300 Å) 이상 손실되었다.
- <43> 텅스텐 하드마스크를 라인 타입의 콘택홀 형성 공정에서 식각 베리어로 사용할 수 있도록 텅스텐의 두께를 두껍게 사용할 수 있으면 좋겠지만, 포토레지스트 패턴의 두께가 얇은 경우에는 일정 두께 이상의 텅스텐을 식각할 수 없으며, 도전패턴의 물질이 텅스텐일 경우에는 도전패턴 형성을 위한 식각 공정에서 텅스텐 하드마스크가 전부 제거되는 단점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <44> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 도전패턴의 하드마스크의 두께를 감소시켜 절연막의 갭-필 특성을 향상시킬 수 있는 반도체소자 제조 방법을 제공하는 것을 그 목적으로 한다.

<45> 또한, 본 발명은 80nm 이하의 반도체 제조 공정 중 도전패턴 사이의 전도층을 노출시키는 콘택 형성 공정에서 콘택 면적을 최대한 확보하면서도 도전패턴의 기생 정전용량을 줄일 수 있는 반도체소자 제조 방법을 제공하는 것을 다른 목적으로 한다.

### 【발명의 구성 및 작용】

<46> 상기의 목적을 달성하기 위해 본 발명은, 절연 및 도전 구조를 갖는 기판 상에 전도막과 질화막 및 폴리실리콘막을 차례로 증착하는 단계; 상기 폴리실리콘막과 상기 질화막 및 상기 전도막을 선택적으로 식각하여 폴리실리콘막과 질화막으로 이루어진 2중 구조의 하드마스크와 상기 전도막이 적층된 복수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 전면에 절연막을 형성하는 단계; 상기 절연막 상에 상기 도전패턴과 교차하는 방향으로 배열된 라인 타입의 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스터 패턴을 식각마스크로 상기 절연막을 식각하여 이웃하는 상기 도전패턴 사이의 상기 도전 구조를 노출시키는 콘택홀을 형성하는 단계; 상기 노출된 도전 구조에 콘택되도록 플러그 형성용 물질막을 증착하는 단계; 및 상기 질화막 하드마스크가 노출되도록 상기 플러그용 물질막과 상기 절연막 및 상기 폴리실리콘 하드마스크를 제거하여 상기 질화막 하드마스크와 실질적으로 평탄화된 플러그를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

<47> 또한, 상기의 목적을 달성하기 위해 본 발명은, 제1플러그가 형성된 기판 상에 비트라인 형성용 전도막과 질화막 및 폴리실리콘막을 차례로 증착하는 단계; 상기 폴리실리콘막과 상기 질화막 및 상기 전도막을 선택적으로 식각하여 폴리실리콘막과 질화막으로 이루어진 2중 구조의 하드마스크와 상기 전도막이 적층된 복수의 비트라인을 형성하는 단계; 상기 비트라인이 형성된 전면에 절연막을 형성하는 단계; 상기 절연막 상에 상기 비트라인과 교차하는 방향으로

배열된 라인 타입의 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스터 패턴을 식각마스크로 상기 절연막을 식각하여 이웃하는 상기 비트라인 사이의 상기 제1플러그를 노출시키는 콘택홀을 형성하는 단계; 노출된 상기 제1플러그에 콘택되도록 제2플러그 형성용 물질막을 증착하는 단계; 및 상기 질화막 하드마스크가 노출되도록 상기 제2플러그용 물질막과 상기 절연막 및 상기 폴리실리콘 하드마스크를 제거하여 상기 질화막 하드마스크와 실질적으로 평탄화된 스토리지노드 콘택용 제2플러그를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

<48> 본 발명에서는 라인 타입의 패턴 예컨대, 라인 타입의 스토리지노드 콘택 형성 공정에서 비트라인 등의 도전패턴의 상부에 폴리실리콘과 질화막으로 이루어진 2중 구조의 하드마스크를 형성한 다음, 비트라인 패턴 후에도 2중 구조의 하드마스크가 남도록 한다. 이어서, 상부의 하드마스크가 라인 타입의 콘택홀 형성 공정에서 도전패턴의 어택을 방지하도록 하는 베리어 역할을 하도록 한다.

<49> 즉, 본 발명에서는 질화막 상부에 텅스텐 하드마스크 대신 폴리실리콘 하드마스크를 사용하여 도전패턴 형성 후에도 2중 구조로 잔존하게 한 다음, 라인 타입의 콘택홀 패턴 형성 공정을 진행한다.

<50> 산화막 계열의 절연막을 식각하는 과정에서 산화막 계열에 대해 식각선택비가 큰 폴리실리콘 하드마스크를 식각 베리어로 이용하여 질화막 계열의 하드마스크용 절연막의 손실을 억제하고, 후속 플러그 형성을 위한 평탄화 공정에서 폴리실리콘 하드마스크를 제거한다.

<51> 참고로, 텅스텐 하드마스크를 라인 타입의 콘택홀 형성 공정에서 식각 베리어로 사용할 수 있도록 텅스텐의 두께를 두껍게 사용할 수 없으며, 도전패턴(예컨대, 비트라인)의 물질이

텅스텐일 경우에는 도전패턴 형성을 위한 식각 공정에서 텅스텐 하드마스크가 전부 제거되는 단점이 있으나, 폴리실리콘의 경우에는 이러한 문제점이 발생하지 않아 폴리실리콘을 하드마스크를 사용한다.

<52> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

<53> 도 2a 내지 도 2f는 본 발명의 일실시예에 따른 스토리지노드 콘택 형성 공정을 도시한 사시도로서, 이를 참조하여 종래의 문제점을 상세히 살펴 본다.

<54> 먼저, 트랜지스터 등 반도체 소자를 이루기 위한 여로 요소가 형성된 기판(20)에 하부의 전도층(예컨대, 소스/드레인 접합)에 콘택된 플러그(21)를 형성한 후, 전면에 기판(20) 하부의 다른 전도층에 전기적으로 연결된 복수의 비트라인을 형성하는 공정을 실시한다.

<55> 즉, 기판(20) 상에 비트라인용 전도막(22)과 하드마스크용 질화막(23)과 폴리실리콘막(24)을 적층하고, 선택적으로 패터닝하여 복수의 비트라인을 형성한다.

<56> 도 2a에 비트라인용 전도막(22)은 주로 텅스텐(W), 티타늄 나이트라이드(TiN), 텅스텐 실리사이드(WSix), 폴리실리콘, 티타늄(Ti) 등이 단독 또는 적층된 것을 사용한다.

<57> 또한, 하드마스크용 질화막(23)은 실리콘질화막 또는 실리콘산화질화막 등을 포함하며, 후속 스토리지노드 콘택 형성 공정에서 산화막 계열의 절연막과의 식각선택비를 갖도록 함과 동시에 식각 공정에서 비트라인용 전도막(22)의 손실을 방지하기 위한 것이다.

- <58> 전술한 바와 같이 종래 기술에서는 하드마스크 물질로 질화막을 사용하거나 텅스텐/질화막의 이중 구조를 사용하여 텅스텐/티타늄 나이트라이드/티타늄 또는 텅스텐 실리사이드/티타늄 나이트라이드/티타늄 구조의 비트라인을 식각하였는 바, 이 때 비트라인 패터닝 공정을 진행한 다음에는 비트라인 상부에는 질화막 만이 하드마스크로서 남게 된다. 즉, 텅스텐/질화막의 2중 구조의 하드마스크를 이용하더라도 텅스텐 하드마스크는 전부 제거되는 공정을 사용한다.
- <59> 그러나, 본 발명에서는 하드마스크로 폴리실리콘막(24)/질화막(23)의 2중 하드마스크(Dual hardmask)를 사용하여 비트라인 패터닝 후에도 비트라인 상부에 폴리실리콘/질화막 구조의 하드마스크가 잔존하도록 한다.
- <60> 텅스텐 대신에 폴리실리콘을 사용하는 이유는 ArF용 포토레지스트를 ArF 노광원을 이용한 포토리소그래피 공정에서 텅스텐에 비해 폴리실리콘의 경우가 보다 두껍게 식각할 수 있어 80nm 이하 예컨대, ArF 포토리소그래피 공정을 이용하는 초미세 패턴 형성 공정에 적용이 가능하기 때문이다.
- <61> 아울러, 폴리실리콘막(24)은 질화막(23)에 비해 산화막에 대한 식각선택비가 우수하여 후속 SAC 공정에 의한 콘택홀 형성시 질화막에 비해 그 손실이 적다.
- <62> 한편, 비트라인 패터닝 공정 중에 손실되는 양을 고려하여 폴리실리콘막(24)의 증착 두께를 산정한다.
- <63> 하드마스크용 질화막(23)의 경우 통상 3000Å 이하의 비교적 두꺼운 두께로 형성하였으나, 본 발명에서는 900Å ~ 1500Å으로 종래에 비해 비교적 얇게 증착이 가능하다. 또한, 하



드마스크용 폴리실리콘막(24)은 1000Å ~ 2000Å의 두께로 증착한 다음, 비트라인 패터닝 공정후에 300Å ~ 1000Å 정도가 남도록 하는 것이 바람직하다.

<64> 따라서, 2중 구조의 하드마스크를 구현하더라도 종래에 비해 하드마스크의 전체 두께는 감소하게 되어 후속 절연막 증착시 갭-필 특성을 향상시킬 수 있으며, 비트라인 패터닝 공정시 하드마스크용 질화막(23)의 손실은 발생하지 않으므로 비트라인 패터닝 공정을 제외한 후속 공정에서의 손실만을 고려하여 두께를 결정할 수 있어 공정의 안정성과 신뢰성을 높일 수 있다.

<65> 도 2a에서는 비트라인용 전도막(22)과 하드마스크용 절연막(23) 및 하드마스크용 폴리실리콘막(24)이 적층된 구조의 비트라인이 형성되어 있고, 이웃하는 비트라인 사이의 기판(20)에는 플러그(21)가 형성되어 있음을 알 수 있다.

<66> 한편, 도면에 도시되지는 않았지만, 플러그(21) 상부에는 후속 스토리지노드 콘택 형성을 위한 식각 공정에서 플러그(21)가 어택되는 것을 방지하기 위해 질화막 계열의 식각정지막을 형성하나, 도면의 간략화를 위해 생략하였다.

<67> 이어서, 도 2b에 도시된 바와 같이, 비트라인이 형성된 전면에 산화막 계열의 절연막(25, 일명 비트라인 절연막이라 함)을 증착한 다음, 그 상부를 평탄화하는 공정을 실시한다.

<68> 절연막(25)으로는 HDP(High Density Plasma) 산화막, TEOS(Tetra Ethyl Ortho Silicate) 막, APL막 또는 SOG막 등을 사용하는 바, 전체적인 하드마스크의 두께 감소로 비트라인 패턴 전체의 수직 높이가 낮아져 중형비가 감소된 관계로 전술한 SOG막과 APL막에 비해 갭-필 특성이 비교적 열악한 HDP 산화막과 TEOS막을 사용할 수 있다.

- <69> 따라서, 전술한 바와 같이 하드마스크용의 두께가 증가하고 또한, 선폭은 감소하게 됨에 따라 비트라인 사이의 간격은 좁아지게 되어 절연막(25) 증착시 갭-필 특성이 열화되는 종래의 문제점을 어느 정도 극복할 수 있다.
- <70> 다음으로, 도 2c에 도시된 바와 같이, 절연막(25) 상에 포토레지스트를 도포하고 KrF(불화크롬) 또는 ArF(불화아르곤) 노광원을 이용한 노광공정을 포함한 포토리소그래피 공정을 실시하여 스토리지노드 콘택용 오픈부를 형성하기 위한 포토레지스트 패턴(26)을 형성한다.
- <71> 포토레지스트 패턴(26) 하부에는 반사방지막(도시하지 않음)이 사용될 수 있으며, 이 때 반사방지막으로는 유기계열이 주로 사용된다.
- <72> 도 2c에서는 비트라인과 교차하는 방향으로 라인 형상을 갖는 라인 타입의 포토레지스트 패턴(26)이 형성되어 있음을 확인할 수 있다.
- <73> 이어서, 도 2d에 도시된 바와 같이, 포토레지스트 패턴(26)을 식각마스크로 절연막(25)을 선택적으로 식각하여 비트라인 사이의 플러그(21)를 노출시키는 콘택홀(27)을 형성한다.
- <74> 이하, 콘택홀(27) 형성 공정을 보다 구체적으로 살펴본다.
- <75> 먼저, 포토레지스트 패턴(26)을 식각마스크로 반사방지막과 절연막(25)의 일부를 식각하여 콘택홀 패턴 영역을 정의한 다음, 연속해서 SAC 식각시의 레시피를 적용하여 절연막(25)을 식각하여 플러그(21) 상부의 식각정지막을 노출시키는 콘택홀(27)을 형성한 다음, 잔류하는 포토레지스트 패턴(26)과 반사방지막을 제거한다.
- <76> 이어서, 마스크 없이 식각 공정을 진행하여 식각정지막을 제거함으로써 플러그(21)가 노출되도록 하는 바, 폴리실리콘막(24)의 일부만이 손실된다. 전술한 바와 같이 라인 타입의 콘

택홀 형성 공정에서는 산화막 계열에 대해 질화막에 비해 폴리실리콘막의 식각선택비가 더 높기 때문에 하드마스크용 폴리실리콘막(25)의 손실은 크지 않다.

<77> 한편, 전술한 콘택홀(27) 형성 공정에서는 식각 단계를 3단계로 나누어 실시하였으나, 이를 하나의 단계로 연속해서 실시하거나 두 번의 단계 또는 네번 이상의 복수번의 단계를 통해 실시할 수도 있다.

<78> 도 2e에 도시된 바와 같이, 산화막 계열의 물질막을 증착한 다음, 전면식각을 실시하여 비트라인 측벽에 스페이서(28)를 형성한다.

<79> 스페이서(28)는 후속 공정에서의 비트라인의 어택을 방지하고, 스토리지노드 콘택용 플러그와 비트라인과의 절연성을 확보하기 위한 것으로, 종래의 경우 비트라인 패턴 형성 직후 그 프로파일을 따라 증착한 다음, 후속 SAC 공정에 의해 식각되어 비트라인 측벽에 스페이서 형상으로 남았다.

<80> 그러나, 본 발명에서는 콘택홀(27)이 형성된 직후에 스페이서(28) 형성을 위한 물질을 증착할 수 있어, 질화막 계열의 물질을 사용하지 않아도 되므로 질화막에 비해 유전상수가 낮은 산화막 계열을 사용할 수 있다. 따라서, 비트라인의 기생 정전용량을 감소시킬 수 있다.

<81> 도 2f에 도시된 바와 같이, 콘택홀(27)을 충분히 매립할 정도로 전도성 물질을 증착한 다음, 하드마스크용 질화막(23)이 노출될 때까지 평탄화 공정을 실시하여 비트라인 사이의 플러그(21)에 콘택된 스토리지노드 콘택용 플러그(29)를 형성한다.

<82> 여기서, 하드마스크용 폴리실리콘막(24)은 반드시 제거되도록 하는 것이 바람직하며, 평탄화 공정은 도면에 도시된 바와 같이, CMP 공정을 적용하거나, ACE 공정을 적용하거나, 국부적인 전면식각 공정을 적용할 수 있다.

- <83> 플러그(29)용 전도성 물질은 폴리실리콘과 TiN 등의 단독 또는 조합된 형태를 사용한다.
- <84> 한편, 플러그(29) 형성용 물질로 폴리실리콘을 사용하는 경우 비트라인 패턴 상부의 하드마스크용 폴리실리콘막과 실질적으로 동일한 물질이므로 평탄화 공정에서 더욱 유리하다.
- <85> 따라서, 전술한 바와 같은 본 발명의 스토리지노드 콘택 형성 공정을 적용할 경우에는 비트라인 하드마스크로 사용되는 질화막이 손실이 플러그(29)의 격리를 위한 평탄화 공정에서만 발생하기 때문에 비트라인 하드마스크의 두께 조절 측면에서 공정 신뢰성이 향상된다.
- <86> 전술한 바와 같이 이루어지는 본 발명은, ArF 포토리소그래피 공정을 적용한 100nm 이하의 패터닝 공정에서는 비트라인 공정 후에도 비트라인 상부의 2중 하드마스크를 남기려고 할 경우에 존재의 텅스텐/질화막 구조의 경우 이의 적용이 불가능하나 본 발명에서는 가능하며, 라인 타입의 스토리지노드 형성을 위한 식각 공정에서 비트라인 상부에 존재하는 폴리실리콘 하드마스크로 인해 질화막 하드마스크의 손실을 방지할 수 있어 공정의 신뢰성을 향상시킬 수 있으며, 라인 타입의 스토리지노드 콘택 형성 공정을 적용할 경우 본 발명에서 제시한 2중 구조의 하드마스크를 적용하지 않고는 질화막 하드마스크의 두께를 증가시켜야 하기 때문에 절연막(비트라인 절연막)의 갭-필 문제로 인해서 이를 극복하기 위한 새로운 물질의 적용에 대한 추가적인 비용 발생이 필요하나 본 발명에서는 추가적인 비용 발생을 방지할 수 있어 경제적인 효과도 향상시킬 수 있음을 실시예를 통해 알아 보았다.
- <87> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명

의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<88> 예컨대, 전술한 본 발명의 실시예에서는 비트라인을 그 일예로 하였으나, 비트라인 이외에 게이트전극 또는 금속배선 등 하드마스크를 갖는 다양한 도전패턴에 적용이 가능하다. 따라서, 본 실시예에서 예시한 스토리지노드 콘택 공정 이외의 다른 콘택홀 형성 공정으로의 적용 또한 가능하다.

#### 【발명의 효과】

<89> 상술한 바와 같은 본 발명은, 콘택 형성시 하드마스크의 두께 증가없이 도전패턴의 어택을 방지하고 공정의 안정성과 신뢰성을 향상시킬 수 있어 궁극적으로, 반도체소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

**【특허청구범위】****【청구항 1】**

절연 및 도전 구조를 갖는 기판 상에 전도막과 질화막 및 폴리실리콘막을 차례로 증착하는 단계;

상기 폴리실리콘막과 상기 질화막 및 상기 전도막을 선택적으로 식각하여 폴리실리콘막과 질화막으로 이루어진 2중 구조의 하드마스크와 상기 전도막이 적층된 복수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 전면에 절연막을 형성하는 단계;

상기 절연막 상에 상기 도전패턴과 교차하는 방향으로 배열된 라인 타입의 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스터 패턴을 식각마스크로 상기 절연막을 식각하여 이웃하는 상기 도전패턴 사이의 상기 도전 구조를 노출시키는 콘택홀을 형성하는 단계;

상기 노출된 도전 구조에 콘택되도록 플러그 형성용 물질막을 증착하는 단계; 및

상기 질화막 하드마스크가 노출되도록 상기 플러그용 물질막과 상기 절연막 및 상기 폴리실리콘 하드마스크를 제거하여 상기 질화막 하드마스크와 실질적으로 평탄화된 플러그를 형성하는 단계

를 포함하는 반도체소자 제조 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 콘택홀을 형성하는 단계 후,

상기 콘택홀이 형성된 프로파일을 따라 산화막을 증착하는 단계와, 전면식각 공정으로 상기 산화막을 식각하여 상기 도전패턴 측벽에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 폴리실리콘막을 1000Å 내지 2000Å의 두께로 증착하며, 상기 도전패턴을 형성한 후 300Å 내지 1000Å의 두께가 남도록 하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 질화막을 900Å 내지 1500Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 도전패턴은, 비트라인, 게이트전극 또는 금속배선 중 어느 하나인 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 6】**

제 1 항에 있어서,

상기 전도막은, 텅스텐(W), 티타늄 나이트라이드(TiN), 텅스텐 실리사이드(WSix), 폴리 실리콘 및 티타늄(Ti)으로 이루어진 그룹으로부터 선택된 적어도 하나의 물질막을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 7】**

제 1 항에 있어서,

상기 플러그는, 폴리실리콘 또는 티타늄 나이트라이드(TiN) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 8】**

제 1 항에 있어서,

상기 절연막은, HDP(High Density Plasma) 산화막, TEOS(Tetra Ethyl Ortho Silicate)막, APL(Advanced Planarization)막 또는 SOG(Spin On Glass)막 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 9】**

제 1 항에 있어서,



상기 콘택홀을 형성하는 단계 후, 상기 포토레지스트 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 10】

제 1 항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계에서, ArF 또는 KrF 포토리소그래피 공정을 적용하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 11】

제1플러그가 형성된 기판 상에 비트라인 형성용 전도막과 질화막 및 폴리실리콘막을 차례로 증착하는 단계;

상기 폴리실리콘막과 상기 질화막 및 상기 전도막을 선택적으로 식각하여 폴리실리콘막과 질화막으로 이루어진 2중 구조의 하드마스크와 상기 전도막이 적층된 복수의 비트라인을 형성하는 단계;

상기 비트라인이 형성된 전면에 절연막을 형성하는 단계;

상기 절연막 상에 상기 비트라인과 교차하는 방향으로 배열된 라인 타입의 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스터 패턴을 식각마스크로 상기 절연막을 식각하여 이웃하는 상기 비트라인 사이의 상기 제1플러그를 노출시키는 콘택홀을 형성하는 단계;

노출된 상기 제1플러그에 콘택되도록 제2플러그 형성용 물질막을 증착하는 단계; 및



상기 질화막 하드마스크가 노출되도록 상기 제2플러그용 물질막과 상기 절연막 및 상기 폴리실리콘 하드마스크를 제거하여 상기 질화막 하드마스크와 실질적으로 평탄화된 스토리지 노드 콘택용 제2플러그를 형성하는 단계를 포함하는 반도체소자 제조 방법.

**【청구항 12】**

제 11 항에 있어서,

상기 콘택홀을 형성하는 단계 후,

상기 콘택홀이 형성된 프로파일을 따라 산화막을 증착하는 단계와, 전면식각 공정으로 상기 산화막을 식각하여 상기 비트라인 측벽에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 13】**

제 11 항에 있어서,

상기 폴리실리콘막을 1000Å 내지 2000Å의 두께로 증착하며, 상기 도전패턴을 형성한 후 300Å 내지 1000Å의 두께가 남도록 하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 14】**

제 11 항에 있어서,



상기 절화막을 900Å 내지 1500Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 15】

제 11 항에 있어서,

상기 전도막은, 텅스텐(W), 티타늄 나이트라이드(TiN), 텅스텐 실리사이드(WSix), 폴리 실리콘 및 티타늄(Ti)으로 이루어진 그룹으로부터 선택된 적어도 하나의 물질막을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 16】

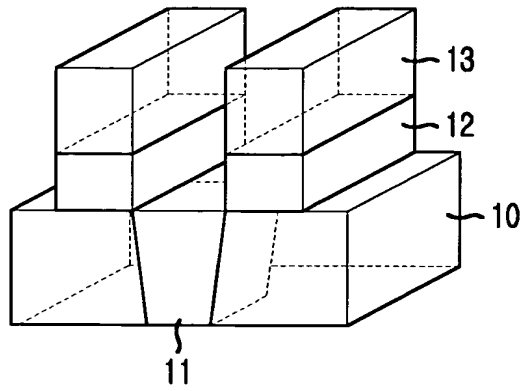
제 1 항에 있어서,

상기 절연막은, HDP 산화막, TEOS막, APL막 또는 SOG막 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

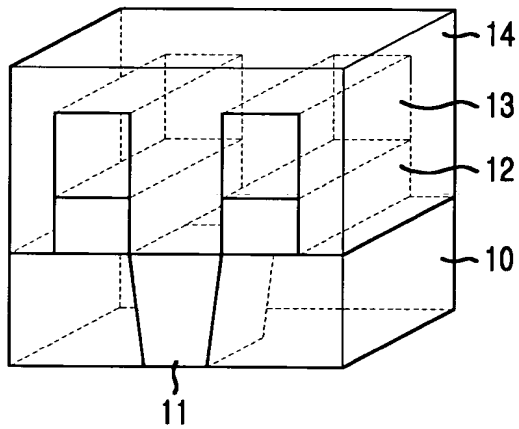


【도면】

【도 1a】

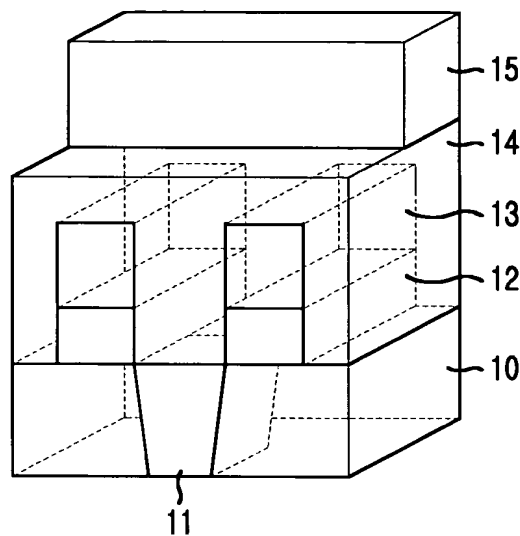


【도 1b】

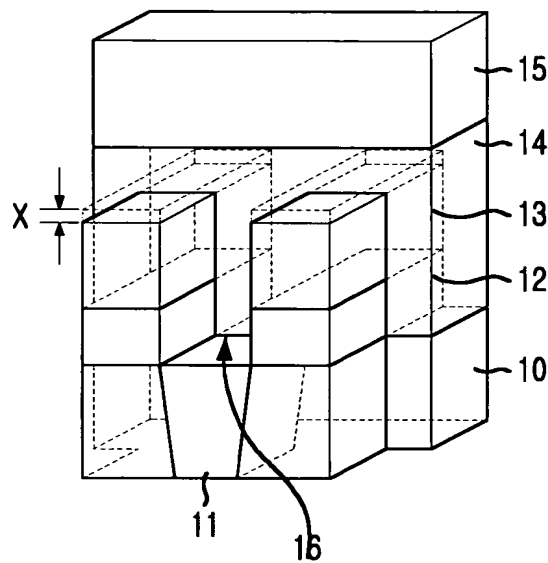




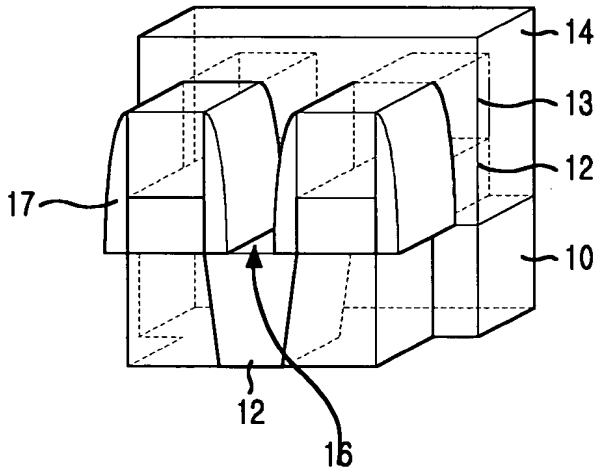
【도 1c】



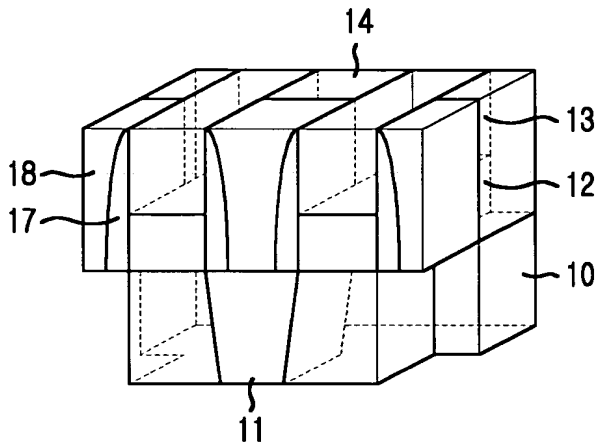
【도 1d】



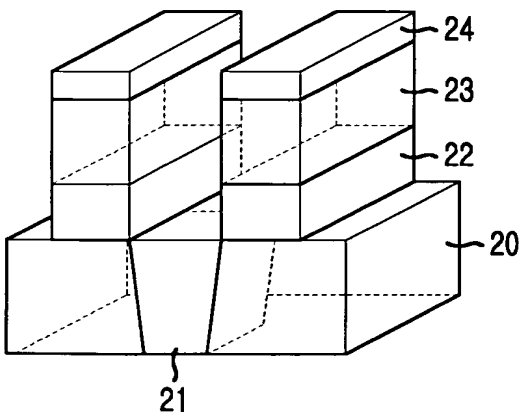
【도 1e】



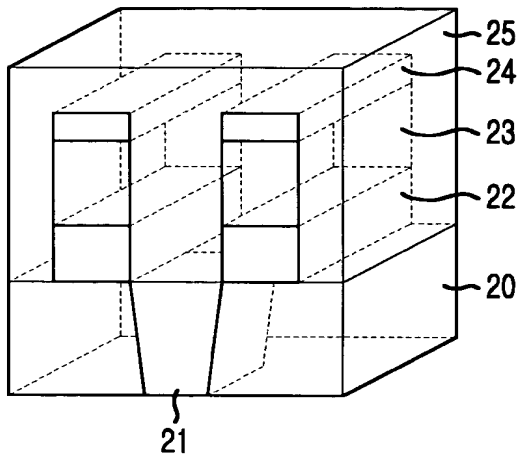
【도 1f】



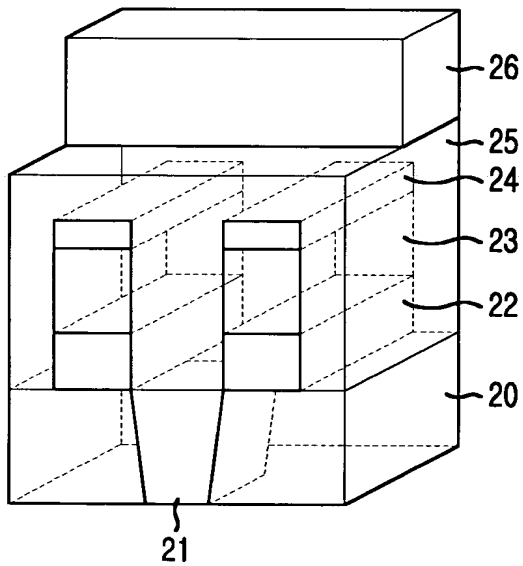
【도 2a】



【도 2b】

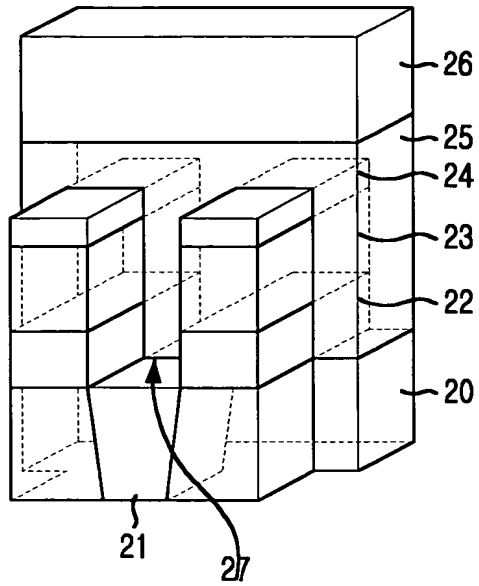


【도 2c】

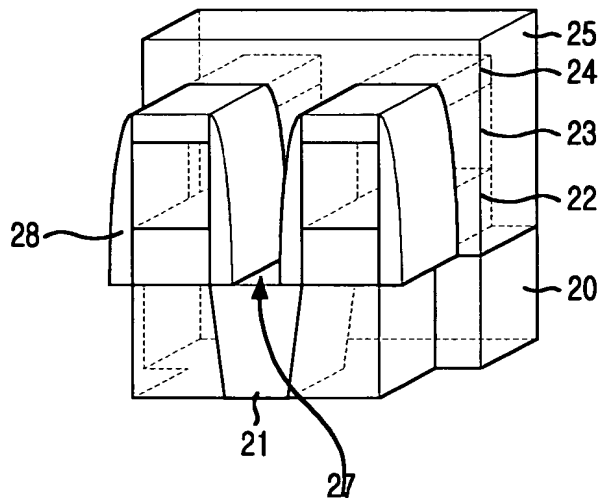




【도 2d】



【도 2e】







1020030035281

출력 일자: 2003/10/29

【도 2f】

